

PAT-NO: JP405206298A
DOCUMENT-IDENTIFIER: JP 05206298 A
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE
PUBN-DATE: August 13, 1993

INVENTOR-INFORMATION:

NAME
MOURI, TSURUMI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
FUJITSU LTD	N/A

APPL-NO: JP04012472

APPL-DATE: January 28, 1992

INT-CL (IPC): H01L021/90, H01L021/28

US-CL-CURRENT: 438/102

ABSTRACT:

PURPOSE: To make strong the tensile stress of electrode wirings and to prevent a disconnection of the electrode wirings by a method wherein a dummy via hole, which does not reach a semiconductor substrate, is provided between via holes, which are formed in an insulating film on the substrate and through which upper and lower electrode wiring films are connected to each other, and the length of the electrode wirings on the insulating film

is made short.

CONSTITUTION: A dummy via hole 5, which does not reach a semiconductor substrate 1, is provided between via holes 4 and 4, which are formed in an insulating film 2 on the substrate 1 and through which upper and lower electrode wiring films 3 are connected to each other. In a sputtering process, in which when an Al/Si alloy film is used for electrode wirings, the films 3 are formed, a disconnection of the films 3 is caused by a change in a grain size in film quality or the like due to an abnormality in a device, such as a vacuum leak. There, a pattern, which is set the width of the lines of the electrode wirings to a width of 2 μ m or wider and is inhibited the length of the wirings between the holes 4 and the hole 5 of the electrode wirings to a length of 1 μ m or shorter, is formed. Thereby, the disconnection rate of the electrode wirings is improved.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-206298

(43)公開日 平成5年(1993)8月13日

(51)Int.Cl.⁶

識別記号 庁内整理番号

F I

技術表示箇所

H 01 L 21/90

C 7735-4M

21/28

301 L 7738-4M

21/90

A 7735-4M

審査請求 未請求 請求項の数1(全3頁)

(21)出願番号

特願平4-12472

(22)出願日

平成4年(1992)1月28日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 毛利 鶴見

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

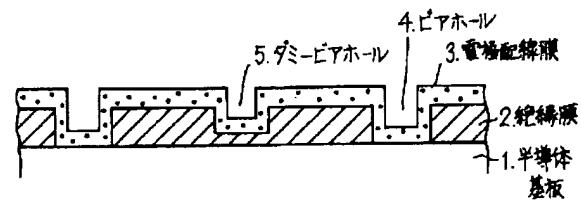
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 本発明は、半導体装置の配線方法に関し、引っ張り応力による断線障害を防止することを目的とする。

【構成】 半導体基板1上の絶縁膜2に形成された上下の電極配線膜3を接続するピアホール4とピアホール4の間に、半導体基板1に達しないダミーピアホール5を設けるように構成する。

本発明の原理説明図



1

【特許請求の範囲】

【請求項1】半導体基板(1)上の絶縁膜(2)に形成された上下の電極配線膜(3)を接続するビアホール(4)とビアホール(4)の間に、半導体基板(1)に達しないダミービアホール(5)を設けることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置の配線方法に関する。近年、電子部品の大容量、高集積化に伴い、半導体デバイス上の配線も微細化してきている。このため、断線、短絡等の障害につながりやすい問題点を極力解消して、半導体デバイスの信頼性を確率する必要がある。

【0002】

【從来の技術】図4は從来例の説明図である。図において、1は半導体基板、2は絶縁膜、3は電極配線膜、4はビアホール、6は断線箇所である。

【0003】従来、図4(a)に示すように、半導体デバイスの製造工程に於けるウエハープロセスの中に、電極配線のもととなる金属膜を付けるスパッタ工程がある。通常、電極配線には金属膜として、シリコンや銅を含んだアルミニウム合金膜をスパッタ法により、半導体基板上に被着するのが一般的である。

【0004】この場合、アルミニウム・シリコン(AI/Si)合金を用いた金属膜で配線形成を行った場合、出来上がった半導体デバイス製品を長時間、高温で放置すると、図4(b)に示すように、金属膜がナイフで切ったように、ぶつかり断線することがある。

【0005】

【発明が解決しようとする課題】この電極の断線は、エレクトロマイグレーションのように、印加する電圧や、電流の大きさで断線するモードではなく、単に高温で放置するだけで発生する。

【0006】また、電極配線の断線は、電極配線ラインの長さや幅によっても大きく左右される。原因としては、アルミニウムの高温放置によるグレインサイズの増大(8~10μm)が考えられ、引っ張り応力による断線障害を防ぐことが本発明の目的である。

【0007】

【課題を解決するための手段】図1は本発明の原理説明図である。図において、1は半導体基板、2は絶縁膜、3は電極配線膜、4はビアホール、5はダミービアホールである。

【0008】電極配線にはAI合金膜を用いるのが一般的であり、この時の電極配線膜を付けるスパッタ工程での真空リーク等の装置異常による電極配線膜の膜質の異常(グレインサイズの変化等)によって引き起こされる電極配線膜の断線、特に、AI/Si合金膜を用いる時によく起きる断線の防止のため、電極配線膜の途中にダミーのビ

2

アホールを設けて、ビアホールとビアホールの間の電極配線の間隔を短くして、例え高温放置でAI合金膜のグレインサイズが大きくなても、断線が生じないようにする。

【0009】即ち、本発明の目的は、図1に示すように、半導体基板1上の絶縁膜2に形成された上下の電極配線膜3を接続するビアホール4とビアホール4の間に、半導体基板1に達しないダミービアホール5を設けることにより達成される。

10 【0010】

【作用】電極配線の断線は、電極配線ラインの長さや幅によって決まり、本発明では、電極配線ラインの長さに主眼をおいて、電極配線を短くすることで、配線間の引っ張り応力にたいして強くなり、電極配線の断線を防ぐことが出来る。

【0011】

【実施例】図1は本発明の原理説明図兼本発明の一実施例の断面図、図2~図3は電極配線ラインの幅、及び長さと、断線の関係図である。

20 【0012】図1(a)に示すように、Si基板1上にスパッタ法により、スパッタ装置にアルゴン(Ar)ガスを5mmTorr程度の真空中で導入し、Al-Si(1%)合金膜を1μmの厚さに被着する。この場合の配線膜の成長率は1μm/80secである。

【0013】先ず、電極配線ラインの長さと幅が、電極配線の断線とどのように関係しているかを半導体のTEG(Test Element Group)のパターンを用いて調査した。先ず、電極配線ラインの長さを2mと一定にし、電極配線ラインの幅が1.0, 1.2, 1.5, 2.0, 4.0μmを有する電極配線パターンを通常のスパッタ法により、同一TEG内に形成し、その断線率を調べた結果を図2に示す。

【0014】電極配線ラインの幅が2μm以上あれば断線率は低く、細くなるに従って急激に断線率が上昇する。次いで、電極配線ラインの幅を2μmと一定にし、電極配線ラインの長さが2, 4, 8, 10mを有する電極配線パターンを通常のスパッタ法により、同一TEG内に形成し、その断線率を調べた結果を図3に示す。

40 【0015】その結果、電極配線ラインの長さが6m以下であれば断線率は低く、長くなるに従って急激に断線率が上昇する。この結果を基にして、図1に示すように、幅2μm、電極のビアホールとダミービアホールの間の配線の長さを1m以下に抑えたパターンを作成した結果、断線率は従来のものにくらべて1桁以上も改善された。

【0016】

【発明の効果】以上説明したように、本発明によれば、電極配線の長さを電極のビアホールとビアホールの間にダミービアホールを設けて絶縁膜上の電極配線の長さを50 短くすることにより、電極配線の引っ張り応力が強くな

3

り、電極配線の断線を防ぐことができ、半導体デバイスの信頼性が向上する。

【0017】また、真空度等、スパッタ条件に左右されにくくなり、かつ、電極配線幅が多少シフトしても長さを短縮することで断線の発生を少なくすることができる。

【図面の簡単な説明】

【図1】 本発明の原理説明図

【図2】 電極配線ラインの幅と断線の関係図

4

【図3】 電極配線ラインの長さと断線の関係図

【図4】 従来例の説明図

【符号の説明】

1 半導体基板

2 絶縁膜

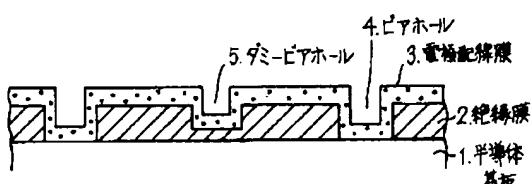
3 電極膜

4 ピアホール

5 ダミーピアホール

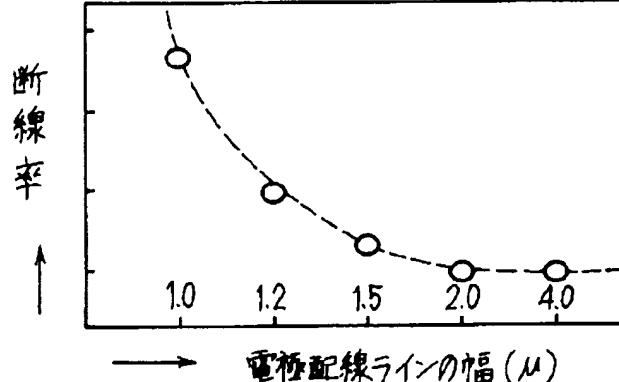
【図1】

本発明の原理説明図



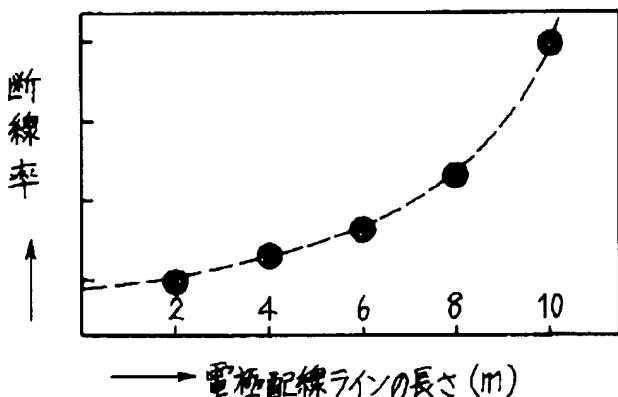
【図2】

電極配線ラインの幅と断線の関係図



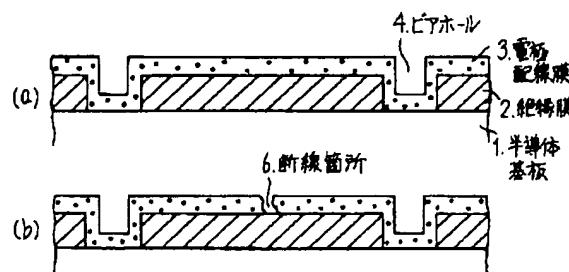
【図3】

電極配線ラインの長さと断線の関係図



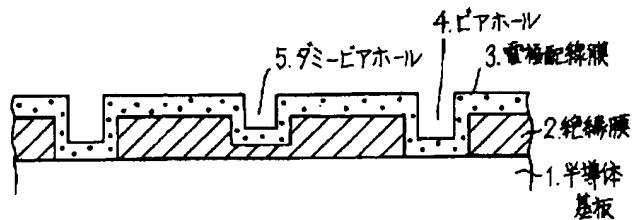
【図4】

従来例の説明図



Drawing selection Representative drawing

本発明の原理説明図



[Translation done.]

*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]**[0001]**

[Industrial Application] This invention relates to the wiring approach of a semiconductor device. In recent years, wiring on a semiconductor device is also made detailed with the large capacity of electronic parts, and high integration. For this reason, it is necessary to cancel the trouble which is easy to lead to failures, such as an open circuit and a short circuit, as much as possible, and to carry out the probability of the dependability of a semiconductor device.

[0002]

[Description of the Prior Art] Drawing 4 is the explanatory view of the conventional example. For a semi-conductor substrate and 2, as for the electrode wiring film and 4, in drawing, an insulator layer and 3 are [1 / a beer hall and 6] open-circuit parts.

[0003] Former, As shown in drawing 4 (a), there is a spatter process which attaches the metal membrane used as the basis of electrode wiring into the wafer process in the production process of a semiconductor device. Usually, it is common to electrode wiring to put the aluminium alloy film containing silicon or copper on a semi-conductor substrate by the spatter as a metal membrane.

[0004] In this case, when wiring formation is performed by the metal membrane using an aluminum silicon (aluminum/Si) alloy It is a long time about the done semiconductor device product, If it is left at an elevated temperature As [cut / as shown in drawing 4 (b) / with the knife / the metal membrane] It may disconnect with a snap.,

[0005]

[Problem(s) to be Solved by the Invention] An open circuit of this electrode is generated like electromigration only by [instead of the electrical potential difference to impress and the mode disconnected in the magnitude of a current] leaving it at an elevated temperature.

[0006] Moreover, an open circuit of electrode wiring is greatly influenced by the die length and width of face of electrode wiring Rhine. As a cause, it is increase of the grain size by elevated-temperature neglect of aluminum. (8-10 micrometers) It thinks, It is the purpose of this invention to prevent the open-circuit failure by the tensile stress.

[0007]

[Means for Solving the Problem] Drawing 1 is the principle explanatory view of this invention. For a semi-conductor substrate and 2, as for the electrode wiring film and 4, in drawing, an insulator layer and 3 are [1 / a beer hall and 5] dummy beer halls.

[0008] it is common to electrode wiring to use aluminum alloy film Abnormalities (change of grain size etc.) of the membranous quality of the electrode wiring film by abnormalities in equipment, such as vacuum leak at the spatter process which attaches the electrode wiring film at this time Open circuit of the electrode wiring film caused, a prevention of the open circuit which occurs well [when using the aluminum/Si alloy film especially] sake, A dummy beer hall is prepared in the middle of electrode wiring film, Even if it shortens spacing of electrode wiring between beer halls and the grain size of aluminum alloy film becomes large by metaphor elevated-temperature neglect It is made for an open

circuit not to arise.,

[0009] That is, the purpose of this invention is between the beer halls 4 and beer halls 4 which connect the electrode wiring film 3 of the upper and lower sides formed in the insulator layer 2 on the semi-conductor substrate 1 as shown in drawing 1, It is attained by forming the dummy beer hall 5 which does not reach the semi-conductor substrate 1.

[0010]

[Function] Open circuit of electrode wiring, It is decided by the die length and width of face of electrode wiring Rhine, In this invention, a chief aim is set to the die length of electrode wiring Rhine, It is shortening electrode wiring, It becomes so strong to the tensile stress during wiring, An open circuit of electrode wiring can be prevented.

[0011]

[Example] The sectional view of one example of a principle explanatory view-cum-this invention of this invention, drawing 2 - drawing 3 of drawing 1 are the width of face of electrode wiring Rhine and die length, and the related Fig. of an open circuit.

[0012] it is shown in drawing 1 (a) -- as -- the Si substrate 1 top -- spatter, argon (Ar) gas is introduced into a sputtering system with the degree of vacuum of 5mmTorr extent -- the aluminum-Si (1%) alloy film is put on the thickness of 1 micrometer. the growth rate of the wiring film in this case -- 1micrometer/80sec it is .

[0013] first or [that the die length and width of face of electrode wiring Rhine are / how / related to an open circuit of electrode wiring] -- TEG (Test Element Group) of a semi-conductor It investigated using the pattern. first the die length of electrode wiring Rhine -- 2m -- fixed -- carrying out -- width of face of electrode wiring Rhine 1.0, 1.2, 1.5, 2.0, and the electrode circuit pattern that has 4.0 micrometer are formed in the same TEG by the usual spatter, and the result of having investigated the burnout rate is shown in drawing 2 .

[0014] A burnout rate goes up rapidly as a burnout rate will be low and it will become thin, if there are 2 micrometers or more of width of face of electrode wiring Rhine. Subsequently, width of face of electrode wiring Rhine is fixed with 2 micrometers, the electrode circuit pattern with which the die length of electrode wiring Rhine has 2, 4, 8, and 10m is formed in the same TEG by the usual spatter, and the result of having investigated the burnout rate is shown in drawing 3 .

[0015] Consequently, a burnout rate goes up rapidly as a burnout rate will be low and it will become long, if the die length of electrode wiring Rhine is 6m or less. As shown in drawing 1 based on this result, as a result of creating the pattern which held down the die length of wiring between width of face of 2 micrometers, and the beer hall of an electrode and a dummy beer hall to 1m or less, single or more figures have been improved compared with the thing of the former [burnout rate].

[0016]

[Effect of the Invention] As explained above, according to this invention, by preparing a dummy beer hall for the die length of electrode wiring between the beer halls of an electrode, and shortening the die length of electrode wiring on an insulator layer, the tensile stress of electrode wiring becomes strong, an open circuit of electrode wiring can be prevented, and the dependability of a semiconductor device improves.

[0017] Moreover, even if spatter conditions become is hard to be influenced as for a degree of vacuum etc. and electrode wiring width of face shifts it somewhat, generating of an open circuit can be lessened by shortening die length.

[Translation done.]